

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204207

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/20

H01L 27/12

(21)Application number : 07-031563

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 28.01.1995

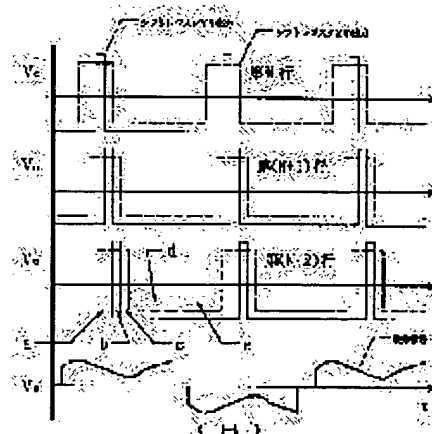
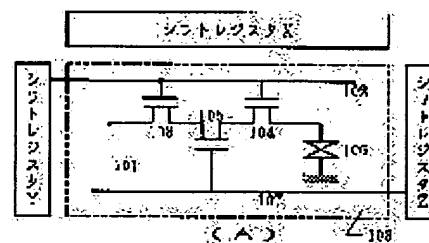
(72)Inventor : YAMAZAKI SHUNPEI
KOYAMA JUN
TAKEMURA YASUHIKO

(54) ACTIVE MATRIX DISPLAY

(57)Abstract:

PURPOSE: To reduce the leak current upon turning a switching element off by connecting more than two TFTs in series with a single pixel electrode and controlling a TFT, except those at the opposite ends, through a gate signal line independent from a row select signal line.

CONSTITUTION: When the potential on a row select signal line makes a transition to a negative level, TFTs 103, 104 are turned off. Since the potential on a gate signal line 107 is positive, a TFT 105 is turned on. The TFT mainly functions as a capacitor and the source-drain potential of the TFT 105 is equal to that of a pixel cell 106. When the potential on the gate signal line 107 makes a transition to a negative level, capacitance of the TFT 105 decreases abruptly. Consequently, the source-drain voltage of the TFT 105 is increased in order to hold the charges stored in the TFT 105. With such arrangement, potential drop is controlled and the off-current can be reduced.



*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]In an active matrix display device, it has a picture element electrode and image signal lines which have been arranged at matrix form, At least three thin film transistors are connected in series to said one picture element electrode, At least one thin film transistor except what was connected to image signal lines among said thin film transistors which carried out the series connection, An active matrix display device using as a switching element a circuit controlling by a gate signal line which supplies a signal independent of a line selection signal line.

[Claim 2]An active matrix display device, wherein a catalyst element which is constituted by crystalline silicon and promotes crystallization of silicon of 1×10^{15} - a 1×10^{19} atom / cm³ contains an active layer of said thin film transistor in claim 1.

[Claim 3]An active matrix display device, wherein a gate signal line is arranged between line selection signal lines in parallel with a line selection signal line in claim 1 or 2.

[Claim 4]An active matrix display device establishing an LDD region in both ends of a channel of a thin film transistor connected to a picture element electrode in claim 1 or 2.

[Claim 5]An active matrix display device establishing an offset region in both ends of a channel of a thin film transistor connected to a picture element electrode in claim 1 or 2.

[Claim 6]In an active matrix display device, it has a picture element electrode arranged at matrix form, Have three or more gate electrodes on a crystalline silicon semiconductor coat of one island shape established for this every picture element electrode, and to said semiconductor coat. A field of N type or P type doped considering said gate electrode as a mask is provided, One side of a field of both ends among fields of N type or P type established in said semiconductor region to a picture element electrode. A gate electrode of 1 or 2 contiguous to one arbitrary gate electrode which another side is connected to image signal lines, and was connected to a line selection signal line of the pixel concerned among said gate

electrodes, An active matrix display device, wherein all are controlled by a gate signal line which became independent of a line selection signal line of the pixel concerned.

[Claim 7]An active matrix display device, wherein this semiconductor coat contains a catalyst element which promotes crystallization of silicon of 1×10^{15} - a 1×10^{19} atom / cm^3 in claim 6.

[Claim 8]An active matrix display device, wherein this crystalline silicon semiconductor coat has an outline U shape, a shape of KO, or a horse's hoofs type in claim 6 or 7.

[Claim 9]An active matrix display device comprising:

Two or more image signal lines.

Two or more line selection signal lines arranged at outline parallel at said image signal lines.

A gate signal line arranged one [at a time] between said line selection signal lines at parallel.

A picture element electrode provided in a field surrounded by said line selection signal line and image signal lines, It has the switching element connected and provided in each of said picture element electrode, Each of said switching element has one crystalline silicon semiconductor coat which carried out an outline U shape, a shape of KO, or a horse's hoofs type, and is said line selection signal line, at least two intersections, and said gate signal line and at least one intersection.

[Claim 10]An active matrix display device comprising:

Two or more image signal lines.

Two or more line selection signal lines arranged at outline parallel at said image signal lines.

A gate signal line arranged one [at a time] between said line selection signal lines at parallel.

It has a picture element electrode provided in a field surrounded by said line selection signal line and image signal lines, and the switching element connected and provided in each of said picture element electrode, and each of said switching element has one crystalline silicon semiconductor coat, and said image signal lines are contacted.

[Claim 11]An active matrix display device, wherein this semiconductor coat contains a catalyst element which promotes crystallization of silicon of 1×10^{15} - a 1×10^{19} atom / cm^3 in claim 9 or 10.

[Claim 12]An active matrix display device, wherein it uses a line selection signal line as material which uses aluminum as the main ingredients in claims 6 thru/or 11 and the side and upper surface are covered with anodized material.

[Claim 13]An active matrix display device characterized for a gate signal line not lapping with a pixel of the line concerned, but lapping with a pixel of a line which adjoins the line concerned in claims 9 thru/or 11 by things.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the circuit and element which aim at the improvement in image quality of the display screen of an active matrix display device. The active layer of this TFT is related with what is constituted by the silicon semiconductor which crystallized using the catalyst element which promotes crystallization of an amorphous silicon using the circuit where especially this invention has a thin film transistor (TFT) as a switching element.

[0002]

[Description of the Prior Art]An active matrix type display is a display which has the structure which supplies to a pixel the signal which provides a switching element in each pixel and is supplied from image signal lines by this switching element, and a mass display can be vividly performed rather than a passive-matrix type display. Conventionally, TFT using the amorphous silicon semiconductor as a switching element was used. However, since working speed is 10 or more times large as compared with what used the conventional amorphous silicon semiconductor, TFT using a crystalline silicon semiconductor is suitable for the mass display. These days, development is furthered in respect of this.

However, there were some problems in a crystalline silicon semiconductor.

[0003]The 1st problem was a problem of crystallization of silicon. Crystalline silicon is obtained by making an amorphous silicon crystallize. Two methods were known conventionally. One is the method of irradiating with strong lights, such as laser, and making it crystallize momentarily, and it is called optical annealing. Since the laser oscillator of the stable large energy is not obtained, I hear that the problem of this method is lacking in reproducibility and mass production nature, and it is in them.

[0004]Other methods are called a thermal annealing method or a solid phase grown method,

carry out solid phase growth of the amorphous silicon, and are made to usually crystallize by performing thermal annealing at the temperature of not less than 600 **. In this method, the time which crystallization takes can complete crystallization within 1 hour at an about 1000 ** elevated temperature depending on annealing temperature. however, the substrate which can be used for such an elevated temperature -- quartz -- ***** -- substrate cost became large. The crystallinity of the silicone film obtained was not preferred, either.

[0005]On the other hand, although the good crystalline silicone film was obtained in about 600 ** annealing which can use much borosilicate glass, the time which crystallization takes became in 24 hours or more, and there was a problem in respect of mass production nature. In TFT which used crystalline silicon, I hear that the 2nd problem has large leakage current at the time of impressing reverse bias voltage (OFF current) to a gate electrode, and it has it. This is expected to originate in the grain boundary.

It had become the biggest problem when producing an active matrix type display using crystalline silicon.

[0006]In N channel form TFT, OFF current is prescribed by the current which flows through the PN junction formed between the P type layer induced on the surface of semiconductor membrane, and the N type layer of the source region and a drain area when bias of the V_{GS} is carried out to negative. And since many traps exist in semiconductor membrane (especially grain boundary), this PN junction is imperfect and tends to flow through junction leakage current. Since the carrier concentration of the P type layer formed on the surface of semiconductor membrane increases and the width of the energy barrier of a PN junction becomes narrow, concentration of an electric field takes place and it is because junction leakage current increases that OFF current increases, so that bias of the gate electrode is carried out to negative.

[0007]Thus, it depends on source/drain voltage for the OFF current to produce greatly. For example, it is known that OFF current will increase by leaps and bounds as the voltage impressed between the source/drain of TFT becomes large. That is, the latter OFF current may increase also 100 times [not the twice of the former but 10 times] by the case where the case where the voltage of 5V is applied between source/drain, and the voltage of 10V are applied. It depends for such non-linearity also on gate voltage. Generally, when the value of the reverse bias of a gate electrode is large (big negative voltage in an N channel type), both difference is remarkable.

[0008]

[Problem(s) to be Solved by the Invention]About the 1st above-mentioned problem, this invention people found out that crystallization of an amorphous silicon could be promoted by adding a small amount of nickel, platinum, iron, cobalt, palladium, etc. (JP,6-244104,A).

Although these elements that should be added were called catalyst element as a result, it became possible typically at 550 °C 4 hours or to accomplish crystallization by the thermal annealing of low temperature and a short time more. In addition, in the conventional thermal annealing method, when the amorphous silicon was not a not less than 1000Å thick thing, it was hardly crystallized, but when the catalyst element was used, it turned out that 1000Å or less and crystallization even with a typically sufficient thickness of 300-800 Å take place.

[0009]In producing TFT using the silicon made to crystallize using these catalyst elements as a result of research of this invention people, It became clear from a viewpoint of a crystallization stage that it is preferred to consider it as 1×10^{15} - a 1×10^{19} atom / cm^3 as for the remains concentration from a viewpoint of the characteristic and reliability to the inside of the silicon of a catalyst element.

[0010]Thus, although the 1st problem was solved, the 2nd problem was still unsolved.

Conversely, for the silicone film made to crystallize using a catalyst element having what (by the conventional thermal annealing method, it grows up granular) crystal growth advances needlelike and the major axis of a crystal as large as not less than (the conventional thermal annealing method 1 micrometer or less) several micrometers, The TFT characteristic was greatly influenced by the grain boundary, and it emerged as a problem with new the variation in OFF current being large. Typically, triple figures OFF current was changed like 1pA from 1000pA.

[0011]The schematic diagram of the conventional example of an active matrix display device is shown in drawing 7 (A). The field (204) surrounded with the dashed line in a figure is a viewing area, and TFT (201) is arranged in it at matrix form. It is the line selection signal line (205) which wiring linked to the source electrode of said TFT (201) is a picture (data) signal wire (206), and has connected to the gate electrode of said TFT (201). Selection of a line is performed by inputting the pulse to which the principle of the drive of this circuit shifted timing little by little on each line selection signal line of the Nth line, a $(N+1)$ line, and a $(N+2)$ line as shown in drawing 7 (B).

[0012]In the circuit of drawing 7 (A), a switching element is TFT (201), according to the signal of a line selection signal line (205), switches data and drives a liquid crystal cell (203). Auxiliary capacity (202) is used as an object for maintenance of image data by the capacitor for reinforcing the capacity of a liquid crystal cell. In order to perform a uniform display over the whole matrix surface, it is required for the characteristic of all the TFT(s) to have gathered. Especially, it is required that 10 or less pA of OFF current should be 1 or less pA preferably. Among TFT(s), 1000pA will not be able to hold electric charge with a certain sufficient thing, either, but OFF current will lose a video signal in an instant.

[0013]If such poor TFT(s) are all the pixel median individuals, it cannot be said to be a problem, but in amounting to several percent, it is very hard coming to see a display. In TFT

using the crystalline silicon obtained using a catalyst element which was especially described above, display failure was remarkable.

[0014]

[Means for Solving the Problem] This invention is made in view of the above problems. Namely, this invention connects at least three TFT(s) in series to one picture element electrode about an active matrix circuit, While controlling at least one TFT except both ends of said TFT which carried out the series connection by a signal wire (this is hereafter called gate signal line) which supplies a signal independent of a line selection signal line, a circuit controlling other TFT(s) by a line selection signal line is used as a switching element.

[0015] Here, I hear that it is not the same as that of a signal of a line selection signal line in a signal of a gate signal line being independent of a signal of a line selection signal line, it is, and a signal of a line selection signal line and a signal which took a certain synchronization are not cared about. What is necessary is just a signal supplied from a circuit other than a circuit (line selecting signal circuit) which generally supplies a signal of a line selection signal line, and this circuit may process a signal emitted from a line selecting signal circuit, or a signal inputted into a line selecting signal circuit.

[0016] Above In addition, a thing which a catalyst element which an active layer of TFT is constituted by crystalline silicon and promotes crystallization of silicon of 1×10^{15} - 1×10^{19} atom / cm^3 in this invention contains, Or an active layer of TFT was crystallized using a catalyst element.

[0017] Here, an end may be connected to image signal lines among TFT(s) by which the series connection was carried out, and an end may already be connected to a picture element electrode. An LDD region and an offset region may be established in both ends of a channel of TFT connected to a picture element electrode among above TFT(s). Fundamental thought of this invention connects TFT three or more, at least one of the central TFT(s) connects the gate electrode to a gate signal line other than a line selection signal line among them, and it drives with a signal of this signal wire.

[0018] In an example of drawing 1 (A), among TFT (103) connected in series, (104), and (105), TFT (103) connects source to image signal lines (101), and connects a drain of TFT (104) to a picture element electrode (106). TFT (103) and a gate electrode of (104) are controlled by a line selection signal line (102). And TFT (103) which connected with a gate signal line (107) and was connected with a line selection signal line (102), and (104) drive a gate electrode of central TFT (105) independently. Auxiliary capacity (108) may be added in parallel with a pixel cell (106).

[0019] An example of a actual circuit shown with a circuit diagram shown in drawing 1 (A) is shown in drawing 1 (D). Since a manufacturing method of this circuit is explained by example using drawing 4, only an outline is described here. Three TFT(s) (103) and (104) (a dotted line

shows a notional field, respectively (105)) are formed on one silicon semiconductor coat (active layer), a gate electrode (405) of each TFT, (407), and (406) cross it, and a circuit is provided. And image signal lines are connected to a left end field (411) (sauce of =TFT (103)) among semiconductor regions, and a picture element electrode is connected to a right end field (414) (drain of =TFT (104)), respectively.

[0020]Although composition as shown in drawing 1 (D) may be sufficient as a circuit shown with a circuit diagram of drawing 1 (A), if it has composition as shown in drawing 3, it can reduce the area of exclusive use. Hereafter, explanation of drawing 3 is given. First, a crystalline silicon semiconductor coat (301) which carried out an outline U shape, a shape of KO, or a horse's hoofs type is formed. You make it crystallize using a catalyst element, and, typically, this semiconductor coat contains a catalyst element of 1×10^{15} - a 1×10^{19} atom / cm^3 . (Drawing 3 (A))

[0021]A line selection signal line (302) and a gate signal line (303) are arranged like drawing 3 (B) to this semiconductor coat. That is, a semiconductor coat (301) has a line selection signal line (302), two intersections, and a gate signal line (303) and one intersection. A gate signal line (303) is formed in parallel with a line selection signal line (302).

[0022]On the other hand, two crossing parts formed of a line selection signal line (302) and a semiconductor coat (301) correspond to TFT (103) of drawing 1 (A), and (104). If N type (or P type) is doped to a semiconductor coat (301) by using a line selection signal line (302) and a gate signal line (303) as a mask, A field (304) equivalent to sauce of TFT (103) and a field (307) equivalent to a drain of TFT (104) are formed, and these are connected to image signal lines and a picture element electrode, respectively.

[0023]A field (305) equivalent to a drain of TFT (103) and a field (306) equivalent to sauce of TFT (104) are also formed. That is, a field which shows two N type (or P type) conductivity types separated by image signal lines, a field which has contact, a picture element electrode and a field which has contact, and a line selection signal line and a gate signal line is formed in a semiconductor region. As shown in drawing 3 (C), a gate signal line (303) and a semiconductor coat (301) do not lap thoroughly, but in part, even if a field (308) which disturbed that of a semiconductor coat is formed, it is satisfactory in any way. A required thing is that a field (305) and (306) are thoroughly separated by gate signal line (303) and a line selection signal line (302).

[0024]A degree of location of a circuit can be raised by mainly devising shape of a semiconductor coat (active layer) as mentioned above. What is necessary is just to put a line selection signal line and a gate signal line on this by using a semiconductor coat as an outline N shape or S shape, if a switching element which has five TFT(s) as shown in drawing 1 (C) is formed.

[0025]

[Function]Concrete operation is explained using drawing 2. Drawing 2 (A) shows the whole active matrix circuit which used this invention like drawing 7 (A), and the numerals of it are the same as that of drawing 1. Although a signal is supplied to a line selection signal line with the shift register Y like the conventional circuit (drawing 7), a signal is supplied with shift register Z with an another gate signal line added by this invention (or equivalent circuit).

[0026]The signal impressed to each signal wire is shown in drawing 2 (B). That is, like the conventional case, a pulse shifts a stage on each line selection signal line of the Nth line, a $(N+1)$ line, and a $(N+2)$ line, and it is inputted into it. On the other hand, although a signal is impressed also to each gate signal line of the Nth line, a $(N+1)$ line, and a $(N+2)$ line, when these pulses should have a certain amount of lap and should synchronize with the pulse of the line selection signal line of each line, they are convenient. However, when the gate capacitance of TFT (105) is big as compared with TFT (103) and (104), as shown in drawing 2 (B), it is good to make pulse width larger than the pulse of a line selection signal line.

[0027]An example of operation is explained using drawing 2 (B). Of course, the operation of those other than this is also possible. If a $(N+2)$ line is observed, a pulse will be first impressed to a gate signal line (107), and central TFT (105) will be in an ON state. At this time, the picture image data of the other bank is impressed to the image signal lines 101. However, the line selection signal line is maintained at negative potential, TFT (103) of the neighbors of TFT (105) and (104) are OFF states, and the data at this time is not incorporated into a pixel cell (106). (Drawing 2 (B), period of a)

[0028]After this state continues for a while, the potential of the line selection signal line of a $(N+2)$ line just converts, and discharge of a pixel cell (106) and charge of the data of image signal lines (101) are performed for the first time at this time. Here, positive voltage charges. At this time, TFT (103) and all - (104) are an ON state. (Drawing 2 (B), period of b)

[0029]Then, the potential of a line selection signal line converts into negative, and TFT (103) and (104) are set to OFF. However, since the potential of a gate signal line (107) is still positive, TFT (105) is an ON state. And since TFT at this time functions mainly as electric capacity, the potential of the source/drain of TFT (105) is almost the same as that of a pixel cell (106). (Drawing 2 (B), period of c)

[0030]Next, if the potential of a gate signal line (107) converts into negative, the electric capacity currently formed in TFT (105) will become small rapidly. Then, in order to hold the electric charge (this is difficult for flowing into others since TFT (103) and (104) are OFF states) accumulated in TFT (105), the voltage of the source/drain of TFT (105) becomes high (an absolute value becomes large). Namely, since the field where voltage is dramatically high as a center is formed and this field exists, even if the potential of image signal lines becomes negative, TFT (105), It is controlled that priority is given to that the potential of TFT (105) falls, an electric charge flows out of a pixel cell (106), and potential descends.

[0031]On the contrary, current flows toward TFT (105) to a pixel cell (106) from the relation of potential difference. But even if the electric charges accumulated in TFT (105) and all the electric charges accumulated in TFT (105) from the ratio of the electric capacity of a pixel cell flow into a pixel cell, the potential fluctuation of a pixel cell is hardly produced. OFF current can be reduced by the above operation. (Drawing 2 (B), period of d and e)

Hereafter, the same operation is repeated.

[0032]Thus, although this invention also has the effect that OFF current can be reduced on the average, the probability of occurrence of the big switching element (poor switching element) of OFF current can also be made to decrease sharply. For example, in drawing 1 (A), even if TFT (103) or either of OFF current of (104) is dramatically big, when the other is normal, it is for showing the effect of OFF current control as a whole. That is, as for the poor big probability of OFF current, TFT (103) and (104) are [two] dramatically small. As a result, the OFF current of the switching element could set 99% of TFT to 1 or less pA, and could set 99.99% to 10 or less pA, and the probability of occurrence of the switching element of 100 or more pA which produces an obstacle in a picture could be 1 ppm or less.

[0033]Since those fields will serve as drain resistance and source resistance if an LDD region or an offset region is put into TFT (103) and the channel of (104), it cannot be overemphasized that the field intensity of drain junction can be made to be able to ease and OFF current can be decreased further. It is effective if a LDD (low concentration impurity) field and an offset region are especially formed in the both ends of the channel of TFT by the side of a picture element electrode.

[0034]Although central TFT was the same conductivity type (in this case, N channel type) as TFT of those both ends in the example of drawing 1 (A), it is good also as a reverse conductivity type (namely, P channel type) like drawing 1 (B). However, the signal impressed to the gate electrode of central TFT (115) in that case becomes a case of drawing 1 (A), and reverse. (Drawing 1 (B))

[0035]More TFT(s) may be connected and a circuit as shown in drawing 1 (C) may be constituted. In this case, the effect of OFF current reduction becomes still larger. But in the case of drawing 1 (C), five TFT(s) are used in all, but even if it uses it with seven pieces and nine TFT(s), the effect of OFF current reduction does not increase so much. When circuitry etc. are taken into consideration, it is preferred to be referred to as five or less TFT(s).

[0036]

[Example]

[Example 1] This example is related with the making process of the circuit shown by drawing 1 (A). In this example, by anodizing a gate electrode, an offset gate is constituted and it makes to reduce OFF current into the special feature further. The art which anodizes a gate electrode is indicated by JP,5-267667,A.

[0037]The process of this example is shown in (A) - (D) of drawing 4. First, the oxidized silicon film (402) was formed to 1000-5000 Å, for example, 3000 Å, as a ground film on the substrate (401) (Corning 7059, 100 mm x 100 mm). In membrane formation of this oxidized silicon film, TEOS was decomposed and deposited with plasma CVD method, and membranes were formed. This process may be performed by a sputtering technique.

[0038]Then, you deposited 300-1500 Å of amorphous silicon films [500Å of] with plasma CVD method or an LPCVD method, for example, and made it crystallize by a thermal annealing method. On that occasion, it crystallized by adding a small amount of nickel as a catalyst element according to the art indicated by JP,6-144204,A. 1 ppm of nickel acetate solution was applied and dried on the amorphous silicon film which formed the thin oxidized silicon film as the addition method of nickel. Then, this was neglected in 550 °C atmosphere for 4 hours.

[0039]After the above-mentioned thermal annealing process, optical annealing, such as laser radiation, may be added and crystallinity may be raised further. And the silicone film crystallized in this way was etched, and island like areas (403) were formed. Gate dielectric film (404) was formed on this. Here, 700-1500 Å in thickness, for example, a 1200-Å oxidized silicon film, was formed with plasma CVD method. This process may be performed by a sputtering technique.

[0040]Then, 1000Å - 3 micrometers in thickness, for example, a 5000-Å aluminum (1wt% of Si or 0.1 - 0.3wt% of Sc is included) film, were formed by the sputtering technique, this was etched and a gate electrode (405), (406), and (407) were formed. (Drawing 4 (A))

[0041]And it anodized through current in the electrolytic solution to the gate electrode, and 500-2500 Å in thickness, for example, 2000-Å anodized material, was formed. The used electrolytic solution dilutes L-tartaric acid to ethylene glycol at 5% of concentration, and adjusts pH to 7.0±0.2 using ammonia. The substrate was dipped into the solution, + side of a constant current source was connected to the gate electrode on a substrate, the electrode of platinum was connected to - side, voltage was impressed by a 20-mA constant current state, and oxidation was continued until it amounted to 150V. In the state of the constant voltage of 150V, oxidation was continued until current was set to 0.1 mA or less. As a result, 2000-Å-thick aluminum oxide coating (408), (409), and (410) were obtained.

[0042]Then, by the ion doping method, the impurity (here phosphorus) was poured into island like areas (403) in self align by having used the gate electrode part (namely, anodized material tunic of a gate electrode and its circumference) as the mask, and the N type impurity range was formed in them. Here, phosphoretted hydrogen (PH₃) was used as doping gas.

Accelerating voltage made the dose in this case 1×10^{14} - a 5×10^{15} atom / cm², and made 60-90 kV, for example, a dose, a 1×10^{15} atom / cm², and accelerating voltage was 80 kV. As a result, N type impurity range (411) - (414) was formed. Signs that the element was seen from

the upper surface in this stage are shown in drawing 1 (D). (Drawing 4 (B))

[0043]It irradiated with the KrF excimer laser (wavelength of 248 nm, 20 ns of pulse width), and the doped impurity range (411) - (414) activation were performed. the energy density of laser -- $200 - 400 \text{ mJ/cm}^2$ -- $250 - 300 \text{ mJ/cm}^2$ was preferably suitable. Thermal annealing may perform this process. Especially the catalyst element (nickel) is contained and it can be activated by low-temperature thermal annealing as compared with the usual case (JP,6-267989,A). Thus, although the N type impurity range was formed, in this example, it turns out with an impurity range far from a gate electrode by the thickness of anodized material that it is what is called an offset gate.

[0044]Next, the oxidized silicon film (415) was formed in thickness of 5000 Å with plasma CVD method as an interlayer insulation film. TEOS and oxygen were used for material gas at this time. And etching of an interlayer insulation film (415) and gate dielectric film (404) was performed, and the contact hole was formed in the N type impurity range (411). Then, the aluminum film was formed and etched by the sputtering technique, and a source electrode and wiring (416) were formed. This is extension of image signal lines. (Drawing 4 (C))

[0045]Then, the passivation film (417) was formed. Here, with the plasma CVD method which used $\text{NH}_3/\text{SiH}_4/\text{H}_2$ mixed gas, the silicon nitride film was formed to 2000-8000 Å, for example, 4000 Å, thickness, and it was considered as the passivation film. And etching of a passivation film (417), an interlayer insulation film (415), and gate dielectric film (404) was performed, and the contact hole of the picture element electrode was formed in the N type impurity range (414). And the yne DIUMU stannic acid ghost (ITO) tunic was formed by the sputtering technique, this was etched, and the picture element electrode (418) was formed.

[0046]Thus, three TFT(s) (421) which carried out series, (420), and (422) have been formed. Among these, a gate electrode (406) supplies a signal from a gate signal line, and from a line selection signal line, a gate electrode (405) and (407) supply a signal, and use it. (Drawing 4 (D))

[0047]A passivation film (417) and a layer insulation thing (418), and gate dielectric film (404) are etched like drawing 4 (E), When forming the contact hole of a picture element electrode in an N type impurity range (414), a contact hole may be simultaneously formed also on a gate electrode (406). In etchant of a fluoric acid system which etches oxidized silicon, since the etch rate is very small, anodized material (aluminum oxide) suspends etching with anodized material (409) substantially.

[0048]And if the hole formed by doing in this way is covered and a picture element electrode (418) is formed, a picture element electrode (418) sandwiches an anodized material tunic (409), counters with a gate electrode (406), and can form capacity (419). This capacity can add capacity, without being equivalent to the auxiliary capacity (108) in drawing 1 (A), and making the opaque portion of a picture element electrode increase (namely, ** to which a

numerical aperture is not reduced). (Drawing 4 (E))

[0049][Example 2] The process of this example is shown in drawing 5. First, the ground oxidized silicon film (502) (2000Å in thickness) was deposited on the substrate (501), nickel was used as a catalyst element like Example 1, and island like areas (503) were formed with the crystalline silicon film crystallized by 550 °C and the thermal annealing of 4 hours. Gate dielectric film (504) was formed on this.

[0050]Then, thickness and a 5000-Å aluminum film were formed by the sputtering technique. A 100-400-Å-thick thin oxide film on anode may be formed in the aluminum film surface for an improvement of adhesion with the photoresist in a next porosity anodized material coating formation process. Then, photoresist about 1 micrometer thick was formed by the spin coating method. And a gate electrode (505), (506), and (507) were formed by etching the publicly known photolithographic method. The mask (508) of photoresist, (509), and (510) were made to remain on a gate electrode. (Drawing 5 (A))

[0051]Next, the substrate was dipped in oxalic acid solution 10%, + side of a constant current source was connected to the gate electrode (505) on a substrate, and (507), and it anodized by connecting the electrode of platinum to - side. This art is indicated by JP,6-338612,A. That is, the anodized material (511) of 5000-Å-thick porosity and (512) were formed in a gate electrode (505) and the side of (507) by performing anodization 10 to 500 minutes, for example, 200 minutes, with the constant voltage of 5-50V, for example, 8V. The obtained anodized material was porosity. On the upper surface of the gate electrode, since a mask material (508) and (510) existed, anodization hardly advanced. Since current was not led to a gate electrode (506), anodized material was not formed. (Drawing 5 (B))

[0052]Then, the mask material was removed and the gate electrode upper surface was exposed. And L-tartaric acid is diluted to ethylene glycol like Example 1 at 5% of concentration, Using ammonia, pH was anodized through current to a gate electrode (505), (506), and (507) in the electrolytic solution adjusted to 7.0±0.2, and 500-2500 Å in thickness, for example, 2000-Å anodized material, was formed. As a result, 2000-Å-thick precise aluminum oxide coating (513), (514), and (515) were obtained.

[0053]Then, by the ion doping method, the impurity (here boron) was poured into the island-like-silicon field (503) in self align by having used the gate electrode part as the mask, and the P type impurity range was formed in it. Here, diborane (B_2H_6) was used as doping gas.

Accelerating voltage made the dose in this case 1×10^{14} - a 5×10^{15} atom / cm^2 , and made 40-90 kV, for example, a dose, $1 \times 10^{15} cm^{-2}$, and accelerating voltage was 65 kV. As a result, P type impurity range (516) - (519) was formed. (Drawing 5 (C))

[0054]It irradiated with the KrF excimer laser (wavelength of 248 nm, 20 ns of pulse width), and the doped impurity range (516) - (519) activation were performed. Although Example 1 was

described, this process may be based on thermal annealing. Next, the oxidized silicon film (520) was formed in thickness of 3000 Å with plasma CVD method as an interlayer insulation film. Etching of an interlayer insulation film (520) and gate dielectric film (504) was performed, and the contact hole was formed in the P type impurity range (516). Then, the aluminum film was formed and etched by the sputtering technique, and image signal lines (521) were formed. (Drawing 5 (D))

[0055]Form a passivation film (522) and Then, a PASSHIBESHON film (522), Etching of an interlayer insulation film (520) and gate dielectric film (504) was performed, and the contact hole of the picture element electrode was formed for the aperture on the anodized material tunic (514) in the P type impurity range (519) again. And after forming ITO by a sputtering technique, this was etched and the picture element electrode (523) was formed. A picture element electrode (523) counters with a gate electrode (506) by using an anodized material tunic (514) as a dielectric like drawing 4 (E), and forms auxiliary capacity (524). (Drawing 5 (E))

[0056]Of the above processes, the switching element of the active matrix circuit which has a P channel type thin film transistor (526), (527), (525), and auxiliary capacity (524) was formed. In this example, although the conductivity type of a transistor is reverse, it is the same as the circuit shown in drawing 1 (A). In the case of Example 2, in this example, the twist also made offset width large about the thin film transistor (526) which needs to control OFF current, and (527). On the other hand, by MOS capacity, since existence of offset was unnecessary, it offset small.

[0057][Example 3] Signs that a circuit was formed using this invention were shown in drawing 6. Since what is necessary is just to use known art (or art shown in Examples 1 and 2) about a concrete process, it does not explain in full detail here. First, by the means shown in Example 1, the amorphous silicon film was made to crystallize using a catalyst element, this was etched, and semiconductor region (active layer) (601) - (604) of the outline U shape (or the shape or horse's hoofs type of KO) was formed. Here, when based on an active layer (601), an active layer (602) means this sequence next line, an active layer (603) means following sequence this bank, and an active layer (604) means the following sequence next line. (Drawing 6 (A))

[0058]Then, a line selection signal line (605), (606) and a gate signal line (607), and (608) were formed by forming gate dielectric film (not shown) and etching the same tunic further. Here, about the physical relationship of a line selection signal line and a gate signal line, and an active layer, it was presupposed that it is the same as that of drawing 3. (Drawing 6 (B)) And after doping to an active layer, the contact hole (for example, shown in (611)) was formed in the left end of each active layer, and image signal lines (609) and (610) were formed further. (Drawing 6 (C))

[0059]Then, a picture element electrode (612) and (613) were formed in the field surrounded by a line selection signal line and picture ***** . Thus, at this time, although TFT (614) was formed in the gate signal line (607) and the active layer (601), the picture element electrode (613) of the line concerned has arranged the gate signal line (607) so that it may not lap but may lap with the picture element electrode (612) on one line. That is, when using the picture element electrode (613), the gate signal line (608) under one line lapped with the picture element electrode (613), and formed capacity (615). Although a gate signal line (607) and the pulse signal which synchronized with the line selection signal line (608) are supplied, almost all time is that which is held at fixed voltage (refer to drawing 2 (B)), and electric capacity is formed between a gate signal line and a picture element electrode. (Drawing 6 (D))

[0060]Thus, although the circuit as shown in drawing 6 (E) by taking the arrangement which piles up a gate signal line with the picture element electrode on one line of the lines concerned (or under) was constituted, When capacity (615) is equivalent to the capacity (108) of drawing 1 (A), was able to add capacity, without reducing a numerical aperture substantially and raised the degree of location of a circuit, it was effective. Although the conventional unit pixel (refer to drawing 7 (A)) formed in the field surrounded with a line selection signal line and image signal lines at the same interval was incidentally shown in drawing 6 (F), With auxiliary capacity (205), the field interrupted is the same as this example (drawing 6 (D)), and by this example, since the semiconductor region (601) has a line selection signal line (605) and structure covered by (607), it does not almost decrease a numerical aperture. Conversely, in the conventional thing (drawing 6 (F)), decline in a numerical aperture is accepted with the gate electrode divided from the line selection signal line.

[0061]

[Effect of the Invention]As mentioned above, as shown in this invention, the voltage drop of the liquid crystal cell was able to be controlled by connecting two or more TFT(s) appropriately. In the use demanded, more advanced image display of this invention is effective. That is, to express the very delicate shade of 256 or more gradation, discharge of a liquid crystal cell needs to be stopped to 1% or less among one frame. The conventional method was not that to which all were suitable for this purpose.

[0062]Although the above explanation explained centering on the liquid crystal display, In the active matrix circuit of this invention, anything does not have being limited to a liquid crystal display, Also in the display using electroluminescence (EL), or the display (plasma display = PDP) using plasma emission, since maintenance of voltage is needed, it is clear that it can use also for these. Thus, this invention is useful on industry.

[Translation done.]

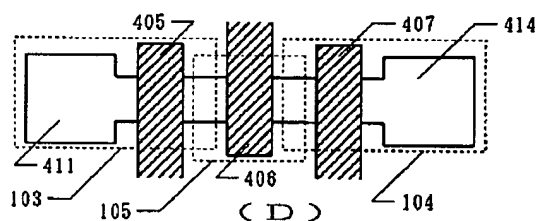
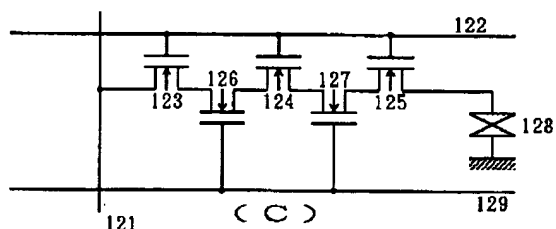
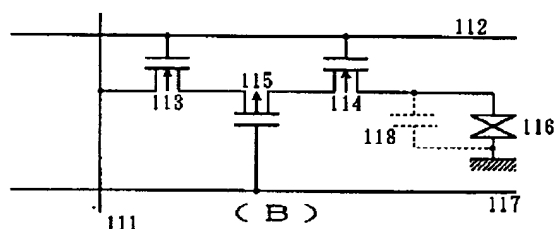
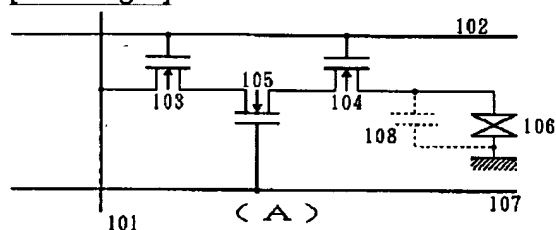
* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

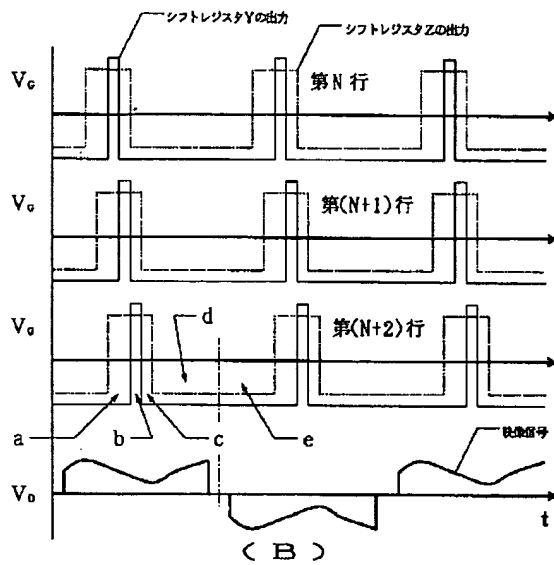
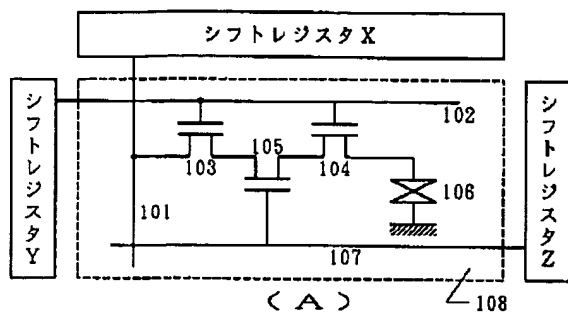
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

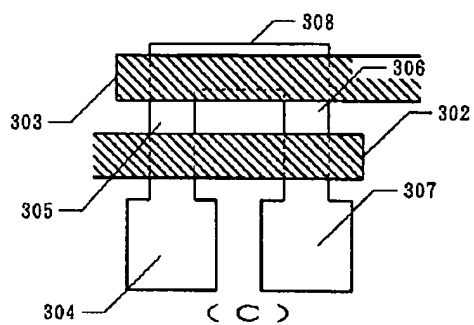
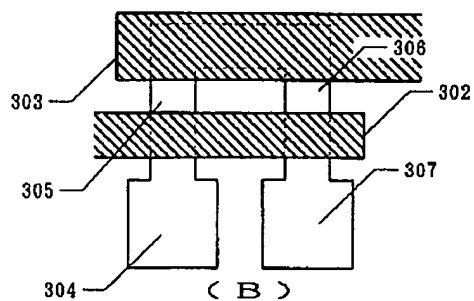
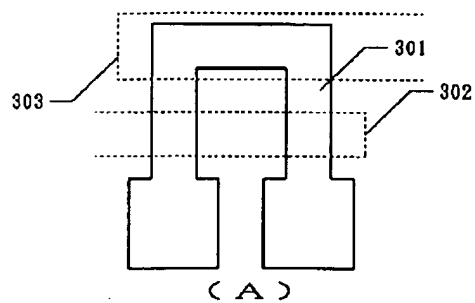
[Drawing 1]



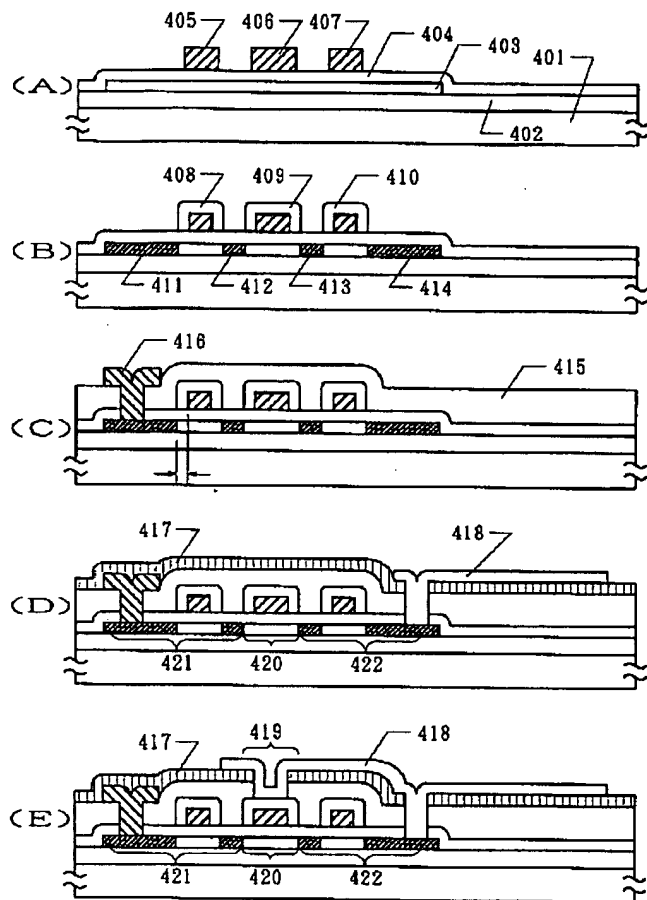
[Drawing 2]



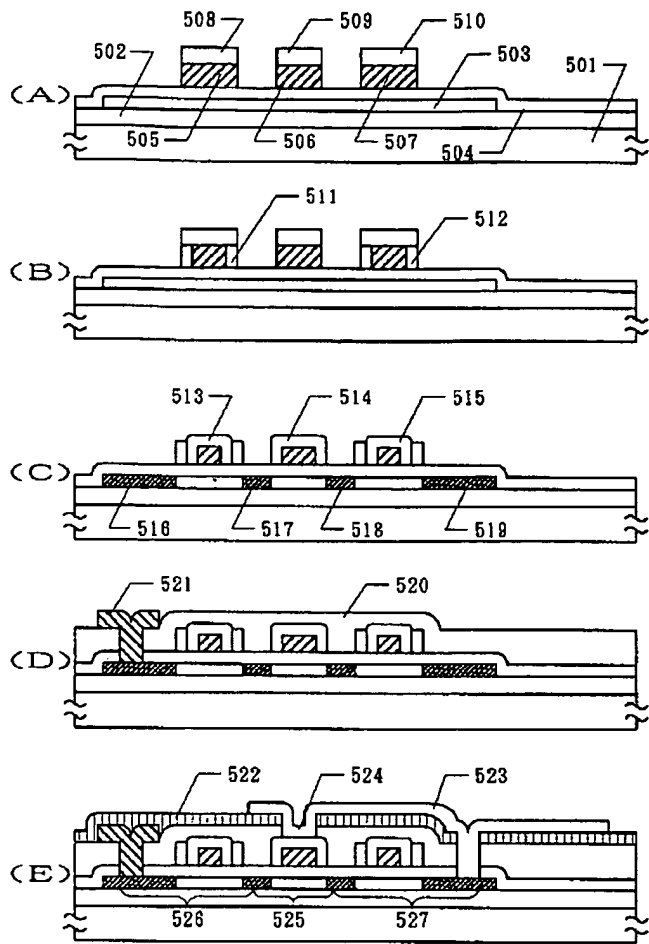
[Drawing 3]



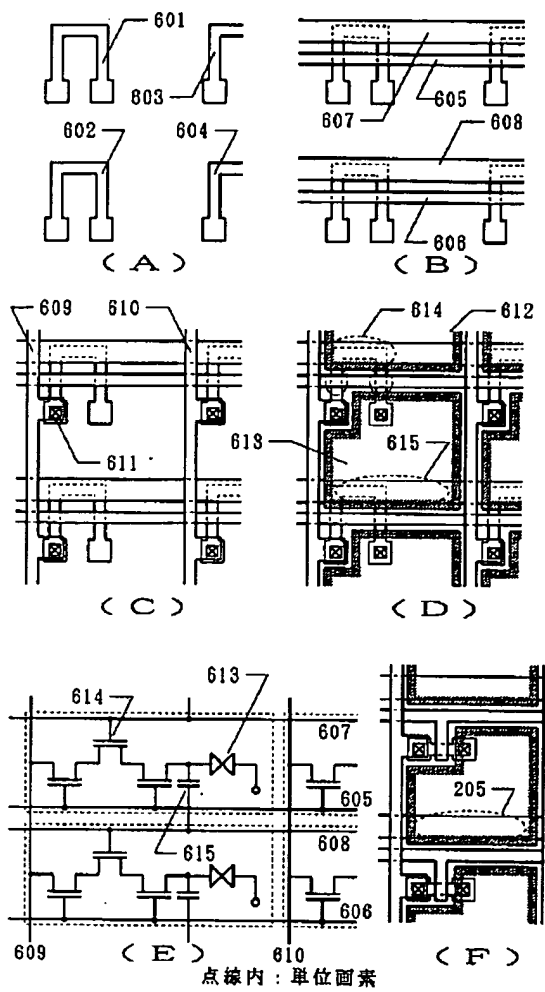
[Drawing 4]



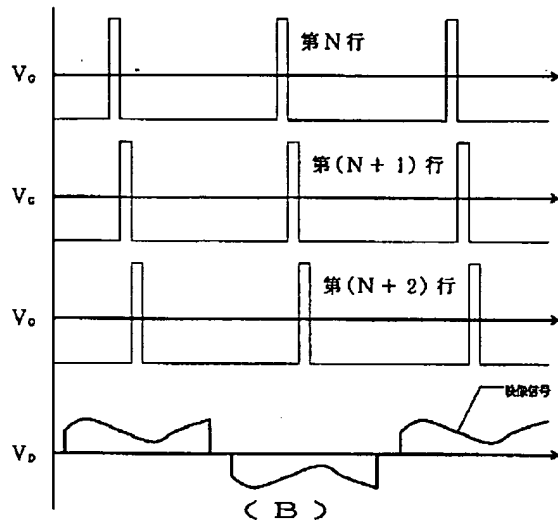
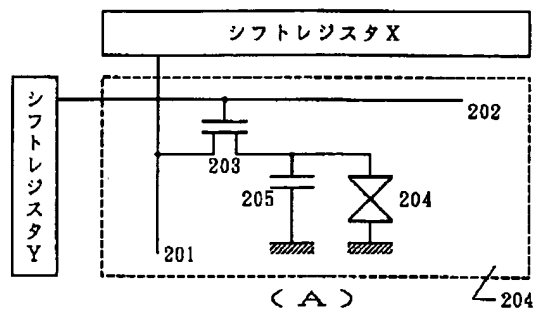
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204207

(43) 公開日 平成8年(1996)8月9日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	P I	技術表示箇所
H 0 1 L 29/786 21/336 21/20			H 0 1 L 29/ 78 6 1 2 Z 6 1 6 A	
審査請求 未請求 請求項の数13 F D (全 12 頁) 最終頁に続く				

(21) 出願番号 特願7-31563

(22) 出願日 平成7年(1995)1月28日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 竹村 保彦

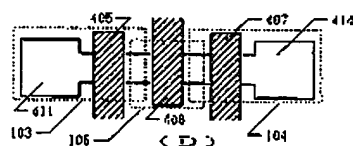
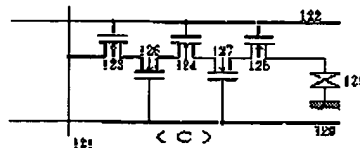
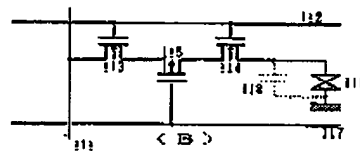
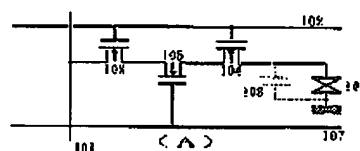
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【目的】 特に結晶化を促進させる触媒元素を用いて得られた結晶性シリコンを活性層とする薄膜トランジスタ (T F T) によって構成されたアクティブマトリクス表示装置のOFF電流を低減させる構成を提供する。

【構成】 アクティブマトリクス表示装置において、スイッチング素子として1個の画素電極に対して複数のT F Tを直列に接続して設け、前記直列接続したT F Tの両端を除く少なくとも1個のT F Tをゲート信号線とは独立に信号を供給する第2ゲート信号線によって制御することにより、前記スイッチング素子のOFF時のリーク電流 (OFF電流) を低減せしめる。



(2)

特開平8-204207

1

2

【特許請求の範囲】

【請求項1】 アクティブマトリクス表示装置において、マトリクス状に配置された画素電極と画像信号線とを有し、

1個の前記画素電極に対して少なくとも3個の薄膜トランジスタを直列に接続し、前記直列接続した薄膜トランジスタのうち、画像信号線に接続したものを除く少なくとも1個の薄膜トランジスタが、行選択信号線とは独立した信号を供給するゲート信号線によって制御されることを特徴とする回路をスイッチング素子とすることを特徴とするアクティブマトリクス表示装置。

【請求項2】 請求項1において、前記薄膜トランジスタの活性層は結晶性シリコンによって構成され、 $1 \times 10^{11} \sim 1 \times 10^{13}$ 原子/cm² のシリコンの結晶化を促進する触媒元素が含有されていることを特徴とするアクティブマトリクス表示装置。

【請求項3】 請求項1もしくは2において、ゲート信号線は行選択信号線と平行に、かつ、行選択信号線の間に配置されていることを特徴とするアクティブマトリクス表示装置。

【請求項4】 請求項1もしくは2において、画素電極に接続される薄膜トランジスタのチャンネルの両端にL D領域を設けたことを特徴とするアクティブマトリクス表示装置。

【請求項5】 請求項1もしくは2において、画素電極に接続される薄膜トランジスタのチャンネルの両端にオフセット領域を設けたことを特徴とするアクティブマトリクス表示装置。

【請求項6】 アクティブマトリクス表示装置において、マトリクス状に配置された画素電極を有し、該画素電極ごとに設けられた1つの島状の結晶性シリコン半導体被膜上にゲート電極を3つ以上有し、前記半導体被膜には、前記ゲート電極をマスクとしてドーピングされたN型もしくはP型の領域が設けられ、前記半導体領域に設けられたN型もしくはP型の領域のうち、両端の領域の一方は画素電極に、他方は画像信号線に接続されており、

前記ゲート電極のうち、当該画素の行選択信号線に接続された任意の1つのゲート電極に隣接する1もしくは2のゲート電極は、いずれも当該画素の行選択信号線とは独立したゲート信号線によって制御されることを特徴とするアクティブマトリクス表示装置。

【請求項7】 請求項6において、該半導体被膜は、 $1 \times 10^{11} \sim 1 \times 10^{13}$ 原子/cm² のシリコンの結晶化を促進する触媒元素を含有していることを特徴とするアクティブマトリクス表示装置。

【請求項8】 請求項6または7において、該結晶性シリコン半導体被膜は概略U字型もしくはコの字型もしくは馬蹄型をしていることを特徴とするアクティブマトリ

クス表示装置。

【請求項9】 アクティブマトリクス表示装置において、

複数の画像信号線と、

前記画像信号線に概略平行に配置された複数の行選択信号線と、

前記行選択信号線の間に1本ずつ平行に配置されたゲート信号線と、

前記行選択信号線と画像信号線に囲まれた領域に設けられた画素電極と、

前記画素電極の各々に接続して設けられたスイッチング素子と、を有し、

前記スイッチング素子の各々は概略U字型もしくはコの字型もしくは馬蹄型をした結晶性シリコン半導体被膜を1つ有し、

かつ、前記行選択信号線と少なくとも2か所の交点と、前記ゲート信号線と少なくとも1か所の交点を有することを特徴とするアクティブマトリクス表示装置。

【請求項10】 アクティブマトリクス表示装置において、

複数の画像信号線と、

前記画像信号線に概略平行に配置された複数の行選択信号線と、

前記行選択信号線の間に1本ずつ平行に配置されたゲート信号線と、

前記行選択信号線と画像信号線に囲まれた領域に設けられた画素電極と、

前記画素電極の各々に接続して設けられたスイッチング素子と、を有し、

前記スイッチング素子の各々は結晶性シリコン半導体被膜を1つ有し、

かつ、前記画像信号線とコンタクトを有する領域と、前記画素電極とコンタクトを有する領域と、前記行選択信号線とゲート信号線とによって分離された2つ以上の領域とが、N型もしくはP型の導電型を示すことを特徴とするアクティブマトリクス表示装置。

【請求項11】 請求項9または10において、該半導体被膜は、 $1 \times 10^{11} \sim 1 \times 10^{13}$ 原子/cm² のシリコンの結晶化を促進する触媒元素を含有していることを特徴とするアクティブマトリクス表示装置。

【請求項12】 請求項6乃至11において、行選択信号線はアルミニウムを主成分とする材料とし、その側面と上面が陽極酸化物で被覆されていることを特徴とするアクティブマトリクス表示装置。

【請求項13】 請求項9乃至11において、ゲート信号線は当該行の画素とは重ならず、当該行に隣接する行の画素と重なることを特徴とするアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

(3)

特開平8-204207

3

【産業上の利用分野】本発明は、アクティブマトリクス表示装置の表示画面の画質向上をはかる回路および素子に関する。特に本発明は、スイッチング素子として薄膜トランジスタ(TFT)を有する回路を用い、該TFTの活性層はアモルファスシリコンの結晶化を促進する触媒元素を用いて結晶化をおこなったシリコン半導体によって構成されているものに関する。

【0002】

【従来の技術】アクティブマトリクス型表示装置とは、各画素にスイッチング素子を設け、画像信号線より供給される信号を該スイッチング素子によって画素に供給する仕組みを有する表示装置であり、単純マトリクス型表示装置よりも大容量の表示を鮮明におこなうことができる。従来、スイッチング素子としてはアモルファスシリコン半導体を用いたTFTが使用されていた。しかしながら、結晶性シリコン半導体を用いたTFTは、従来のアモルファスシリコン半導体を用いたものに比較して、動作速度が10倍以上も大きいので、大容量表示に適しており、最近では、この面で開発が進められている。しかしながら、結晶性シリコン半導体には幾つかの問題があった。

【0003】第1の問題はシリコンの結晶化の問題であった。結晶性シリコンはアモルファスシリコンを結晶化せしめることにより得られる。従来は2つの方法が知られていた。1つはレーザー等の強光を照射して瞬間的に結晶化せしめる方法で、光アニールと称される。この方法の問題点は安定した大エネルギーのレーザー発振器が得られないため、再現性、量産性に乏しいということである。

【0004】他の方法は熱アニール法もしくは固相成長法と呼ばれるもので、通常、600℃以上の温度で熱アニールをおこなうことにより、アモルファスシリコンを固相成長させて、結晶化せしめるものである。この方法においては、結晶化に要する時間はアニール温度に依存し、1000℃程度の高温では1時間以内に結晶化を完了することができる。しかしながら、このような高温に使用できる基板は石英以外にはなく、基板コストが大きくなった。また、得られるシリコン膜の結晶性も好ましいものではなかった。

【0005】これに対し、多くの珪酸ガラスの使用できる600℃程度のアニールでは、結晶性の良好なシリコン膜が得られたが、結晶化に要する時間が24時間以上にもなり、量産性の点で問題があった。第2の問題は結晶性シリコンを用いたTFTでは、ゲート電極に逆バイアス電圧を印加した際のリーク電流(OFF電流)が大きいということである。これは、結晶粒界に起因すると見られており、結晶性シリコンを用いてアクティブマトリクス型表示装置を作製する上で最大の問題となっていた。

【0006】Nチャネル形TFTの場合、 V_{GS} を負にバ

4

イアスした時のOFF電流は、半導体薄膜の表面に誘起されるP型層と、ソース領域及びドレイン領域のN型層との間に形成されるPN接合を流れる電流により規定される。そして、半導体薄膜中(特に粒界)には多くのトラップが存在するため、このPN接合は不完全であり接合リーク電流が流れやすい。ゲート電極を負にバイアスするほどOFF電流が増加するのは半導体薄膜の表面に形成されるP型層のキャリア濃度が増加してPN接合のエネルギー障壁の幅が狭くなるため、電界の集中が起これ、接合リーク電流が増加することによるものである。

【0007】このようにして生じるOFF電流は、ソース/ドレイン電圧に大きく依存する。例えば、TFTのソース/ドレイン間に印加される電圧が大きくなるにしたがって、OFF電流が飛躍的に増大することが知られている。すなわち、ソース/ドレイン間に5Vの電圧を加えた場合と10Vの電圧を加えた場合とでは、後者のOFF電流は前者の2倍ではなく、10倍にも100倍にもなる場合がある。また、このような非線型性はゲート電圧にも依存する。一般にゲート電極の逆バイアスの値が大きい場合(Nチャネル型では、大きなマイナス電圧)には、両者の差が著しい。

【0008】

【発明が解決しようとする課題】上記の第1の問題に関しては、本発明人らは、ニッケル、白金、鉄、コバルト、バリウム等を微量添加することによりアモルファスシリコンの結晶化を促進できることを見出した(特開平6-244104)。これらの添加すべき元素を触媒元素と言うが、この結果、典型的には550℃で4時間、あるいはより低温・短時間の熱アニールで結晶化を成就することが可能となった。加えて、従来の熱アニール法では、アモルファスシリコンは1000Å以上の厚いものでないとほとんど結晶化しなかったのだが、触媒元素を用いると、1000Å以下、典型的には300~800Åの厚さでも十分な結晶化が起こることがわかった。

【0009】また、本発明人の研究の結果、これらの触媒元素を使用して結晶化せしめたシリコンを用いてTFTを作製する場合には、結晶化工程の観点から、また、特性・信頼性の観点から、触媒元素のシリコン中への残留濃度は $1 \times 10^{13} \sim 1 \times 10^{14}$ 原子/cm³とすることが好ましいことが明らかになった。

【0010】このように、第1の問題は解決されたのであるが、第2の問題は未解決のままであった。逆に触媒元素を用いて結晶化せしめたシリコン膜は結晶成長が針状に進行する(従来の熱アニール法では粒状に成長することと、結晶の長径が数μm以上(従来の熱アニール法では1μm以下)と大きいことのため、TFT特性が結晶粒界の影響を大きく受け、OFF電流のバラツキが大きいたことが新たな問題として浮き上がった。典型的には、OFF電流が1000pAから1pAというよ

(4)

特開平8-204207

5

うに3桁も変動した。

【0011】図7(A)にアクティブマトリクス表示装置の従来例の概略図を示す。図中の破線で囲まれた領域(204)が表示領域であり、その中にTFT(201)がマトリクス状に配置されている。前記TFT(201)のソース電極に接続している配線が画像(データ)信号線(206)であり、前記TFT(201)のゲート電極に接続している行選択信号線(205)である。この回路の駆動の原理は図7(B)に示すように、第N行、第(N+1)行、第(N+2)行の各行選択信号線に少しずつタイミングをずらしたパルスが入力されることによって、行の選択がおこなわれる。

【0012】図7(A)の回路では、スイッチング素子はTFT(201)であり、行選択信号線(205)の信号にしたがって、データのスイッチングをおこない、液晶セル(203)を駆動する。補助容量(202)は、液晶セルの容量を補強するためのコンデンサで画像データの保持用として用いられる。マトリクス全面にわたって均一な表示をおこなうには、すべてのTFTの特性がそろっていることが必要である。なかでも、OFF電流は10pA以下、好ましくは1pA以下であることが要求される。もし、TFTのうち、OFF電流が1000pAもあるものは十分な電荷が保持できず、映像信号を瞬時に失ってしまう。

【0013】このような不良TFTが全画面中数個であれば、問題とは言えないが、数%にも及ぶ場合には非常に表示が見つらなくなる。特に、前記したような触媒元素を用いて得られた結晶性シリコンを用いたTFTでは表示不良が顕著であった。

【0014】

【課題を解決するための手段】本発明は、上記のような問題を鑑みてなされたものである。すなわち、本発明は、アクティブマトリクス回路に関し、1個の画素電極に対して少なくとも3個のTFTを直列に接続し、前記直列接続したTFTの両端を除く少なくとも1個のTFTを行選択信号線とは独立の信号を供給する信号線(以下、これをゲート信号線という)によって制御する一方、他のTFTを行選択信号線によって制御することを特徴とする回路をスイッチング素子として用いる。

【0015】ここで、ゲート信号線の信号が行選択信号線の信号と独立であるとは、行選択信号線の信号と同一でないということであり、行選択信号線の信号と何らかの同期を取った信号は構わない。一般的には行選択信号線の信号を供給する回路(行選択信号回路)とは別の回路から供給される信号であればよく、該回路は行選択信号回路から発せられる信号もしくは、行選択信号回路に入力される信号を加工したものであってもよい。

【0016】以上に加えて、本発明においては、TFTの活性層は結晶性シリコンによって構成され、 $1 \times 10^{11} \sim 1 \times 10^{13}$ 原子/cm²のシリコンの結晶化を促進

6

する触媒元素が含有されていること、もしくは、TFTの活性層は触媒元素を用いて結晶化されたことを特徴とする。

【0017】ここで、直列接続されたTFTのうち、一端は画像信号線に接続し、もう一端は画素電極に接続してもよい。さらに、上記のTFTのうち画素電極に接続されるTFTのチャネルの両端にLDD領域やオフセット領域を設けてもよい。本発明の基本的な思想は、TFTを3つ、もしくはそれ以上接続し、うち、中央のTFTの少なくとも1つは、そのゲート電極を行選択信号線とは別のゲート信号線に接続し、該信号線の信号によって駆動することを特徴とする。

【0018】図1(A)の例では、直列に接続されたTFT(103)、(104)、(105)のうち、TFT(103)はソースを画像信号線(101)に接続し、また、TFT(104)のドレインを画素電極(106)に接続する。TFT(103)、(104)のゲート電極は行選択信号線(102)で制御する。そして、中央のTFT(105)のゲート電極はゲート信号線(107)に接続し、行選択信号線(102)と接続されたTFT(103)、(104)とは別に駆動する。なお、画素セル(106)と並列に補助容量(108)を付加してもよい。

【0019】図1(A)に示す回路図で示される実際の回路の例を図1(D)に示す。この回路の作製方法に関しては、図4を用いて実施例で説明されるので、ここでは、概略だけを述べる。回路は1つのシリコン半導体被膜(活性層)上に3つのTFT(103)、(104)、(105)(それぞれ、点線で概念的な領域を示す)が形成されており、個々のTFTのゲート電極(405)、(407)、(406)がそれを横断して設けられる。そして、半導体領域のうち、左側の領域(411)(=TFT(103)のソース)には画像信号線が、また、右側の領域(414)(=TFT(104)のドレイン)には画素電極が、それぞれ接続される。

【0020】また、図1(A)の回路図で示される回路は、図1(D)に示すような構成でもよいが、図3に示すような構成とすると、専有面積を低減できる。以下、図3の説明をする。まず、概略U字型もしくはコの字型もしくは馬蹄型をした結晶性シリコン半導体被膜(301)を形成する。該半導体被膜は触媒元素を用いて結晶化せしめ、典型的には、 $1 \times 10^{11} \sim 1 \times 10^{13}$ 原子/cm²の触媒元素を含有している。(図3(A))

【0021】この半導体被膜に対して行選択信号線(302)およびゲート信号線(303)を図3(B)のように配置させる。すなわち、半導体被膜(301)は行選択信号線(302)と2か所の交点と、ゲート信号線(303)と1か所の交点を有する。ゲート信号線(303)は行選択信号線(302)と平行に形成される。

【0022】一方、図1(A)のTFT(103)、

(5)

特開平8-204207

7

8

(104)に該当するのは、行選択信号線(302)と半導体被膜(301)によって形成された2か所の交点部分である。行選択信号線(302)とゲート信号線(303)をマスクとして半導体被膜(301)にN型(もしくはP型)のドーピングをおこなえば、TFT(103)のソースに相当する領域(304)とTFT(104)のドレインに相当する領域(307)が形成され、これらは、それぞれ、画像信号線と画素電極に接続される。

[0023] また、TFT(103)のドレインに相当する領域(305)とTFT(104)のソースに相当する領域(306)も形成される。すなわち、半導体領域には、画像信号線とコンタクトを有する領域と、画素電極とコンタクトを有する領域と、行選択信号線とゲート信号線とによって分離された2つのN型(もしくはP型)導電型を示す領域とが形成される。なお、図3(C)に示すようにゲート信号線(303)と半導体被膜(301)とが完全に重ならず、一部半導体被膜のはみだした領域(308)が形成されても何ら問題はない。必要なことは領域(305)と(306)がゲート信号線(303)と行選択信号線(302)によって完全に分離されていることである。

[0024] 以上のように主として半導体被膜(活性層)の形状を工夫することにより、回路の集積度を向上させることができる。もし、図1(C)に示すような5つのTFTを有するスイッチング素子を形成するならば、半導体被膜を概略N字型もしくはS字型として、これに行選択信号線やゲート信号線を重ねればよい。

[0025]

[作用] 具体的な動作について図2を用いて説明する。図2(A)は図7(A)と同様に、本発明を用いたアクティブマトリクス回路の全体を示し、符号は図1と同じである。行選択信号線は従来の回路(図7)と同様にシフトレジスタYによって信号が供給されるが、本発明によって付加したゲート信号線は別のシフトレジスタZ(もしくは同等な回路)によって、信号が供給される。

[0026] 各信号線に印加される信号は図2(B)に示される。すなわち、従来の場合と同様に第N行、第(N+1)行、第(N+2)行の各行選択信号線にはパルスが時期をずらして入力される。一方、第N行、第(N+1)行、第(N+2)行の各ゲート信号線にも、信号が印加されるが、これらのパルスはある程度の重なりを有したり、また、各行の行選択信号線のパルスと同期したものとする都合がよい。ただし、TFT(103)、(104)に比較して、TFT(105)のゲート容量が大きな場合には、図2(B)に示すように、パルス幅を行選択信号線のパルスよりも大きくするとよい。

[0027] 図2(B)を用いて動作例を説明する。もちろん、これ以外の動作も可能である。第(N+2)行

に注目すると、最初にゲート信号線(107)にパルスが印加され、中央のTFT(105)はON状態となる。このとき、画像信号線101には他行の映像データが印加されている。しかしながら、行選択信号線は負電位に保たれており、TFT(105)の両隣のTFT(103)、(104)はOFF状態であり、このときのデータは画素セル(106)には取り込まれない。

(図2(B)、aの期間)

[0028] この状態がしばらく続いた後、第(N+2)行の行選択信号線の電位が正に転換し、このとき初めて、画素セル(106)の放電と画像信号線(101)のデータの充電がおこなわれる。ここでは、正の高圧に充電される。このときには、TFT(103)～(104)の全てがON状態となっている。(図2(B)、bの期間)

[0029] 続いて、行選択信号線の電位が負に転換し、TFT(103)、(104)はOFFとなる。ただし、ゲート信号線(107)の電位は依然として正であるので、TFT(105)はON状態である。そして、このときのTFTは主として静電容量として機能するため、TFT(105)のソース/ドレインの電位は画素セル(106)の電位とほぼ同じである。(図2(B)、cの期間)

[0030] 次に、ゲート信号線(107)の電位が負に転換すると、TFT(105)に形成されていた静電容量が急激に小さくなる。すると、TFT(105)に蓄積されていた電荷(これはTFT(103)、(104)がOFF状態であるので、他へ流出することは難しい)を保持するために、TFT(105)のソース/ドレインの電圧が高くなる(絶対値が大きくなる)。すなわち、TFT(105)を中心として非常に電圧の高い領域が形成され、この領域が存在するために画像信号線の電位が負になったとしても、TFT(105)の電位が低下することが優先され、画素セル(106)から電荷が流出して、電位が低下することは抑制される。

[0031] 逆に、電位差の関係からTFT(105)から画素セル(106)に向かって電流が流れる。もっとも、TFT(105)に蓄積されている電荷と画素セルの静電容量の比率から、TFT(105)に蓄積されている電荷の全てが画素セルに流入したとしても画素セルの電位変動はほとんど生じない。以上の作用により、OFF電流を低減できる。(図2(B)、dおよびeの期間)

以下、同様な動作が繰り返される。

[0032] このように本発明はOFF電流を平均的に低減できる効果も有するものであるが、加えて、OFF電流の大きなスイッチング素子(不良スイッチング素子)の発生確率を激減させることもできる。例えば、図1(A)において、TFT(103)もしくは(104)のいずれか一方が非常にOFF電流の大きなもので

(6)

特開平8-204207

9

10

あったとしても、他方が正常なものであることにより、全体として、OFF電流抑制の効果を示すためである。すなわち、TFT(103)と(104)が2つともOFF電流の大きな不良である確率は非常に小さい。この結果、スイッチング素子のOFF電流はTFTの99%を1pA以下、99.99%を10pA以下とすることができ、画像に障害を生じる100pA以上のスイッチング素子の発生確率は1ppm以下とすることができた。

【0033】なお、TFT(103)、(104)のチャネルにLDD領域またはオフセット領域を入れると、それらの領域はドレイン抵抗・ソース抵抗となるため、ドレイン接合の電界強度を緩和させ、さらにOFF電流を減少させることができることは言うまでもない。特に画素電極側のTFTのチャネルの両端にLDD(低濃度不純物)領域やオフセット領域を形成すると有効である。

【0034】図1(A)の例では、中央のTFTはその両端のTFTと同じ導電型(この場合はNチャネル型)であったが、図1(B)のように、逆導電型(すなわち、Pチャネル型)としてもよい。ただし、その場合には中央のTFT(115)のゲート電極に印加する信号は、図1(A)の場合と逆になる。(図1(B))

【0035】また、より多くのTFTを接続して、図1(C)に示すような回路を構成してもよい。この場合にはOFF電流低減の効果がさらに大きくなる。もっとも、図1(C)の場合には全部でTFTを5つ使用しているが、TFTを7個、9個と使用してもOFF電流低減の効果はそれほど増大しない。回路構成等を考慮するとTFTを5つ以下とすることが好ましい。

【0036】

【実施例】

【実施例1】本実施例は図1(A)で示した回路の作製工程に関するものである。本実施例では、ゲート電極を陽極酸化することにより、オフセットゲートを構成し、より一層、OFF電流を低減することを特色とする。なお、ゲート電極を陽極酸化する技術は特開平5-267667に開示されている。

【0037】図4の(A)～(D)に本実施例の工程を示す。まず、基板(401)(コーニング7059、100mm×100mm)上に、下地膜として酸化珪素膜(402)を1000～5000Å、例えば、3000Åに成膜した。この酸化珪素膜の成膜には、TEOSをプラズマCVD法によって分解・堆積して成膜した。この工程はスパッタ法によっておこなってもよい。

【0038】その後、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を300～1500Å、例えば、500Å堆積し、熱アニール法により結晶化せしめた。その際には、特開平6-144204に開示された技術にしたがって、触媒元素としてニッケルを

微量添加して結晶化をおこなった。ニッケルの添加方法としては、薄い酸化珪素膜を形成したアモルファスシリコン膜上に1ppmの酢酸ニッケル水溶液を塗布・乾燥させた。その後、これを550℃の雰囲気中に4時間放置した。

【0039】なお、上記の熱アニール工程後に、レーザー照射等の光アニールを追加して、さらに結晶性を向上させてもよい。そして、このように結晶化させたシリコン膜をエッチングして、島状領域(403)を形成した。さらに、この上にゲート絶縁膜(404)を形成した。ここでは、プラズマCVD法によって厚さ700～1500Å、例えば、1200Åの酸化珪素膜を形成した。この工程はスパッタ法によっておこなってもよい。

【0040】その後、厚さ1000Å～3μm、例えば、5000Åのアルミニウム(1wt%のSi、もしくは0.1～0.3wt%のScを含む)膜をスパッタ法によって形成して、これをエッチングしてゲート電極(405)、(406)、(407)を形成した。(図4(A))

【0041】そして、ゲート電極に電解溶液中で電流を通じて陽極酸化し、厚さ500～2500Å、例えば、2000Åの陽極酸化物を形成した。用いた電解溶液は、シュウ酸をエチレングリコールに5%の濃度に希釈し、アンモニアを用いてpHを7.0±0.2に調整したものである。その溶液中に基板を浸し、定電流源の+側を基板上のゲート電極に接続し、-側には白金の電極を接続して20mAの定電流状態で電圧を印加し、150Vに達するまで酸化を継続した。さらに、150Vの定電圧状態で、電流が0.1mA以下になるまで酸化を継続した。この結果、厚さ2000Åの酸化アルミニウム被膜(408)、(409)、(410)が得られた。

【0042】その後、イオンドーピング法によって、島状領域(403)に、ゲート電極部(すなわち、ゲート電極とその周囲の陽極酸化物被膜)をマスクとして自己整合的に不純物(ここでは磷)を注入し、N型不純物領域を形成した。ここで、ドーピングガスとしてはフォスフィン(PH₃)を用いた。この場合のドーピング量は $1 \times 10^{14} \sim 5 \times 10^{17}$ 原子/cm²、加速電圧は60～90kV、例えば、ドーピング量を 1×10^{17} 原子/cm²、加速電圧は80kVとした。この結果、N型不純物領域(411)～(414)が形成された。この段階で素子を上面から見た様子は図1(D)に示される。(図4(B))

【0043】さらに、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物領域(411)～(414)の活性化をおこなった。レーザーのエネルギー密度は200～400mJ/cm²、好ましくは250～300mJ/cm²が適当であった。この工程は熱アニールによって

11

おこなってもよい。特に触媒元素（ニッケル）を含有しており、通常の場合に比較して低温の熱アニールで活性化できる（特開平6-267989）。このようにしてN型不純物領域が形成されたのであるが、本実施例では、陽極酸化物の厚さ分だけ不純物領域がゲート電極から遠い、いわゆるオフセットゲートとなっていることがわかる。

【0044】次に、層間絶縁膜として、プラズマCVD法によって酸化珪素膜（415）を厚さ5000Åに成膜した。このとき、原料ガスにTEOSと酸素を用いた。そして、層間絶縁膜（415）、ゲート絶縁膜（404）のエッチングをおこない、N型不純物領域（411）にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングしてソース電極・配線（416）を形成した。これは画像信号線の延長である。（図4（C））

【0045】その後、パッシベーション膜（417）を形成した。ここでは、 $\text{NH}_3/\text{SiH}_4/\text{H}_2$ 混合ガスを用いたプラズマCVD法によって窒化珪素膜を2000~8000Å、例えば、4000Åの膜厚に成膜して、パッシベーション膜とした。そして、パッシベーション膜（417）、層間絶縁膜（415）、ゲート絶縁膜（404）のエッチングをおこない、N型不純物領域（414）に画素電極のコンタクトホールを形成した。そして、インジウム錫酸化物（ITO）被膜をスパッタ法によって成膜し、これをエッチングして画素電極（418）を形成した。

【0046】このようにして、3つの直列したTFT（421）、（420）、（422）が形成できた。このうち、ゲート電極（406）は、ゲート信号線より信号を供給し、また、ゲート電極（405）、（407）は行選択信号線より信号を供給して用いる。（図4（D））

【0047】なお、図4（E）のように、パッシベーション膜（417）および層間絶縁物（418）、ゲート絶縁膜（404）をエッチングして、N型不純物領域（414）に画素電極のコンタクトホールを形成する際に、同時にゲート電極（406）上にもコンタクトホールを形成してもよい。陽極酸化物（酸化アルミニウム）は酸化珪素をエッチングするフッ酸系のエッチャントではエッチング速度が極めて小さいので、実質的に陽極酸化物（409）でエッチングは停止する。

【0048】そして、このようにして形成されたホールを覆って、画素電極（418）を形成すると、画素電極（418）は陽極酸化物被膜（409）を挟んで、ゲート電極（406）と対向し、容量（419）を形成できる。この容量は、図1（A）における補助容量（108）に相当するもので、画素電極の不透明部分を増加させることなく（すなわち、開口率を低下させずに）、容量を付加することができる。（図4（E））

(7)

特開平8-204207

12

【0049】〔実施例2〕図5に本実施例の工程を示す。まず、基板（501）上に、下地酸化珪素膜（502）（厚さ2000Å）を堆積し、実施例1と同様に触媒元素としてニッケルを使用し、550℃、4時間の熱アニールによって結晶化させた結晶性シリコン膜によって島状領域（503）を形成した。さらに、この上にゲート絶縁膜（504）を形成した。

【0050】その後、厚さ、5000Åのアルミニウム膜をスパッタ法によって形成した。さらに、後の多孔質陽極酸化物被膜形成工程におけるフォトレジストとの密着性の改善のために、アルミニウム膜表面に厚さ100~400Åの薄い陽極酸化膜を形成してもよい。その後、スピンコーティング法によって厚さ1μm程度のフォトレジストを形成した。そして、公知のフォトリソグラフィ法によって、ゲート電極（505）、（506）、（507）をエッチングにより形成した。ゲート電極上には、フォトレジストのマスキング（508）、（509）、（510）を残存させた。（図5（A））

【0051】次に、基板を10%シュウ酸水溶液に浸し、定電流源の+側を基板上のゲート電極（505）、（507）に接続し、-側には白金の電極を接続して陽極酸化をおこなった。この技術は特開平6-338612に開示されている。すなわち、5~50V、例えば、8Vの定電圧で、10~500分、例えば、200分陽極酸化をおこなうことによって、厚さ5000Åの多孔質の陽極酸化物（511）、（512）をゲート電極（505）、（507）の側面に形成した。得られた陽極酸化物は多孔質であった。ゲート電極の上面には、マスキング材（508）、（510）が存在するために陽極酸化はほとんど進行しなかった。また、ゲート電極（506）には電流を流さなかったため、陽極酸化物は形成されなかった。（図5（B））

【0052】その後、マスキング材を除去してゲート電極上面を露出させた。そして、実施例1と同様にL-酒石酸をエチレングリコールに5%の濃度に希釈し、アンモニアを用いてpHを7.0±0.2に調整した電解溶液中でゲート電極（505）、（506）、（507）に電流を流して陽極酸化し、厚さ500~2500Å、例えば、2000Åの陽極酸化物を形成した。この結果、厚さ2000Åの緻密な酸化アルミニウム被膜（513）、（514）、（515）が得られた。

【0053】その後、イオンドーピング法によって、島状シリコン領域（503）に、ゲート電極部をマスクとして自己整合的に不純物（ここでは酸素）を注入し、P型不純物領域を形成した。ここで、ドーピングガスとしてはジボラン（B₂H₆）を用いた。この場合のドーピング量は $1 \times 10^{14} \sim 5 \times 10^{17}$ 原子/cm²、加速電圧は40~90kV、例えば、ドーピング量は 1×10^{15} cm⁻²、加速電圧は65kVとした。この結果、P型不純物領域（516）~（519）が形成された。（図5

50

(8)

特開平8-204207

13

(C))

【0054】さらに、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、ドーピングされた不純物領域（516）～（519）の活性化をおこなった。実施例1においても記述したが、この工程は熱アニールによるものでもよい。次に、層間絶縁膜として、プラズマCVD法によって酸化珪素膜（520）を厚さ3000Åに成膜した。さらに、層間絶縁膜（520）、ゲート絶縁膜（504）のエッチングをおこない、P型不純物領域（516）にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングして画像信号線（521）を形成した。（図5（D））

【0055】その後、パッシベーション膜（522）を形成し、パッシベーション膜（522）、層間絶縁膜（520）、ゲート絶縁膜（504）のエッチングをおこない、陽極酸化物被膜（514）上に開孔部を、また、P型不純物領域（519）に画素電極のコンタクトホールを形成した。そして、スパッタ法によってITOを成膜したのち、これをエッチングして画素電極（523）を形成した。画素電極（523）は、図4（E）と同様に陽極酸化物被膜（514）を誘電体としてゲート電極（506）と対向し、補助容量（524）を形成している。（図5（E））

【0056】以上のような工程により、Pチャネル型薄膜トランジスタ（526）、（527）、（525）および補助容量（524）を有するアクティブマトリクス回路のスイッチング素子が形成された。本実施例では、トランジスタの導電型は逆であるが、図1（A）に示される回路と同じである。本実施例ではOFF電流を抑制する必要のある薄膜トランジスタ（526）、（527）に関しては、実施例2の場合によりオフセット幅を広くした。一方、MOS容量ではオフセットの存在は不要であるので、オフセットを小さくした。

【0057】〔実施例3〕 図6には、本発明を用いて回路を形成する様子を示した。具体的なプロセスについては、公知技術（もしくは実施例1、2に示される技術）を用いればよいので、ここでは詳述しない。まず、実施例1に示される手段によって、触媒元素を用いてアモルファスシリコン膜を結晶化せしめ、これをエッチングして、概略U字型（もしくはコの字型あるいは馬蹄型）の半導体領域（活性層）（601）～（604）を形成した。ここで、活性層（601）を基準とした場合、活性層（602）は当列次行、活性層（603）は次列当行、活性層（604）は次列次行を意味する。（図6（A））

【0058】その後、ゲート絶縁膜（図示せず）を形成し、さらに、同一被膜をエッチングすることにより、行選択信号線（605）、（606）および、ゲート信号線（607）、（608）を形成した。ここで、行選択

14

信号線およびゲート信号線と活性層の位置関係については図3と同様とした。（図6（B））

そして、活性層にドーピングをおこなった後、各活性層の左端にコンタクトホール（例えば、（611）に示される）を形成し、さらに、画像信号線（609）、（610）を形成した。（図6（C））

【0059】その後、行選択信号線と画像信号線によって囲まれた領域に画素電極（612）、（613）を形成した。このようにして、ゲート信号線（607）と活性層（601）においてTFT（614）が形成されたのであるが、このとき、ゲート信号線（607）は当該行の画素電極（613）とは重ならず、1行上の画素電極（612）と重なるように配置した。すなわち、画素電極（613）にしてみれば、1行下のゲート信号線（608）が画素電極（613）と重なって、容量（615）を形成した。ゲート信号線（607）、（608）には行選択信号線と同期したパルス信号が供給されるが、ほとんどの時間は一定の電圧に保持される（図2（B）参照）ので、ゲート信号線と画素電極の間には静電容量が形成される。（図6（D））

【0060】このように、ゲート信号線を当該行の1行上（もしくは下）の画素電極と重なる配置を取ることによって、図6（E）に示すような回路が構成されたが、容量（615）は図1（A）の容量（108）に相当するものであり、実質的に開口率を低下させずに、容量を付加することができ、回路の集積度を向上させる上で有効であった。ちなみに、図6（F）には、同じ間隔で行選択信号線、画像信号線によって囲まれた領域に形成された従来の単位画素（図7（A）参照）を示したが、補助容量（205）によって、遮られる領域は本実施例（図6（D））と同じであり、本実施例では、半導体領域（601）が、ほとんど行選択信号線（605）、（607）で覆われた構造となっているため、開口率を減少させることはない。逆に従来のもの（図6（F））では、行選択信号線から分かれたゲート電極によって、開口率の低下が認められる。

【0061】

【発明の効果】以上、本発明に示したように、複数のTFTを適切に接続することにより、液晶セルの電圧降下を抑制することができた。本発明は、より高度な画像表示が要求される用途において効果的である。すなわち、256階調以上の極めて微妙な濃淡を表現する場合には液晶セルの放電は1フレームの間に1%以下に抑えられることが必要である。従来の方式はいずれもこの目的には適したものではなかった。

【0062】なお、以上の説明では、液晶ディスプレイを中心に説明したが、本発明のアクティブマトリクス回路は、何も液晶ディスプレイに限定されることなく、エレクトロルミネッセンス（EL）を利用したディスプレイやプラズマ発光を利用したディスプレイ（プラズマ

(9)

特開平8-204207

15

ディスプレイ=PDP)においても、電圧の保持が必要とされるので、これらにも利用できることは明白である。このように本発明は工業上有益である。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス回路のスイッチング素子の例を示す。

【図2】 本発明のアクティブマトリクス回路のスイッチング素子の回路図・動作例を示す。

【図3】 本発明のアクティブマトリクス回路のスイッチング素子の半導体領域およびゲートの配置例を示す。

【図4】 実施例1におけるアクティブマトリクス回路のスイッチング素子の製造工程を示す。

【図5】 実施例2におけるアクティブマトリクス回路のスイッチング素子の製造工程を示す。

【図6】 実施例3におけるアクティブマトリクス回路のスイッチング素子の製造工程を示す。

【図7】 従来のアクティブマトリクス回路のスイッチング素子の回路図・動作例を示す。

【符号の説明】

101 …… 画像信号線
102 …… 行選択信号線

16

* 103~105 …… 薄膜トランジスタ (Nチャネル型)

106 …… 画素セル

107 …… ゲート信号線

108 …… 補助容量

111 …… 画像信号線

112 …… 行選択信号線

113、114 …… 薄膜トランジスタ (Nチャネル型)

115 …… 薄膜トランジスタ (Pチャネル型)

116 …… 画素セル

117 …… ゲート信号線

118 …… 補助容量

121 …… 画像信号線

122 …… 行選択信号線

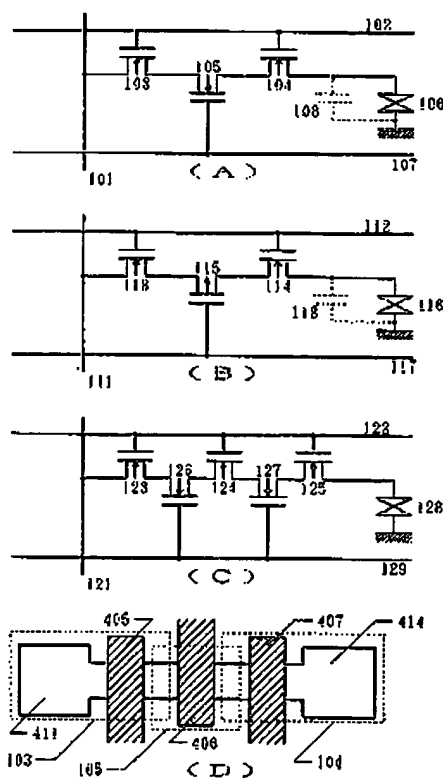
123~127 …… 薄膜トランジスタ (Nチャネル型)

128 …… 画素セル

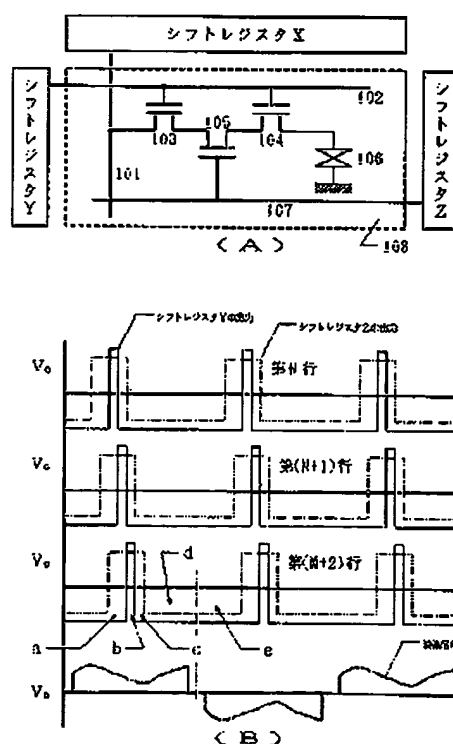
129 …… ゲート信号線

*

【図1】



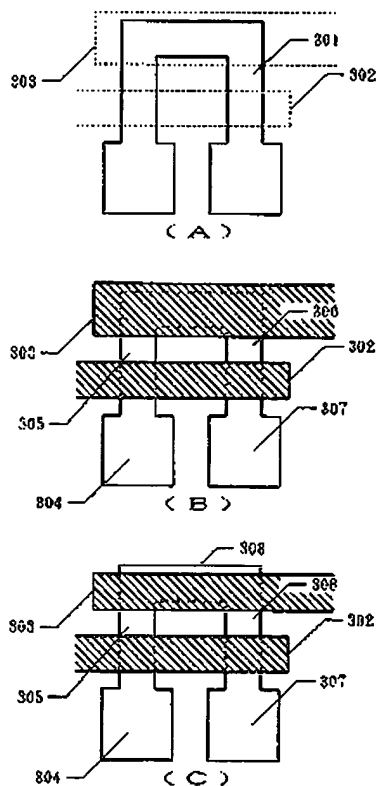
【図2】



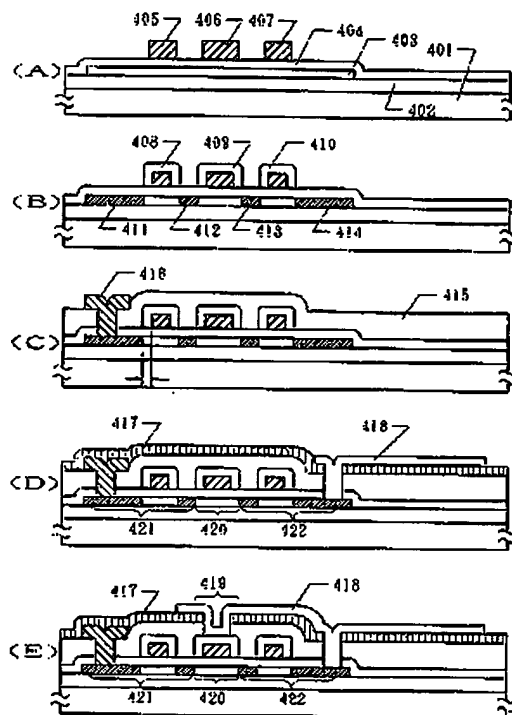
(10)

特開平 8-204207

【図3】



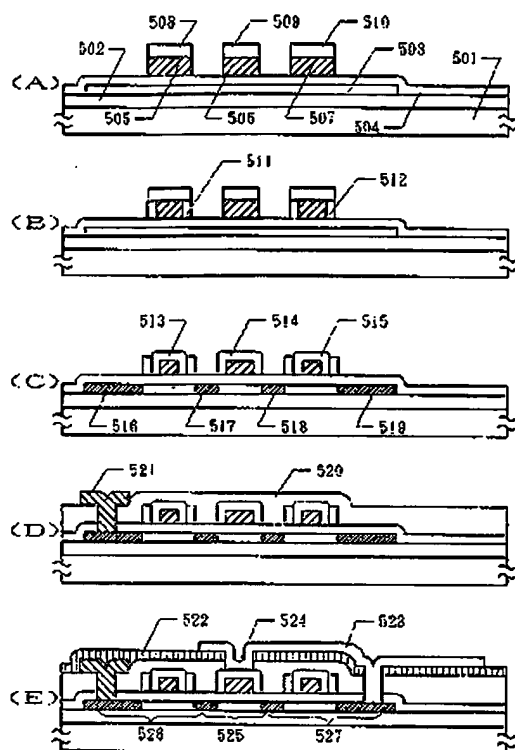
【図4】



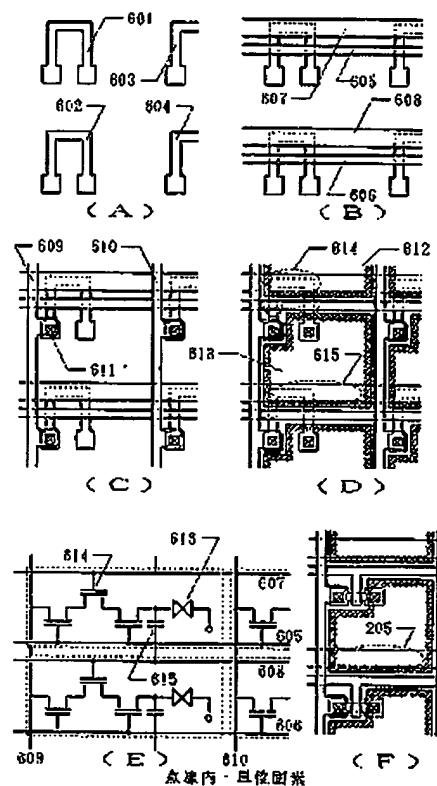
(11)

特開平8-204207

【図5】



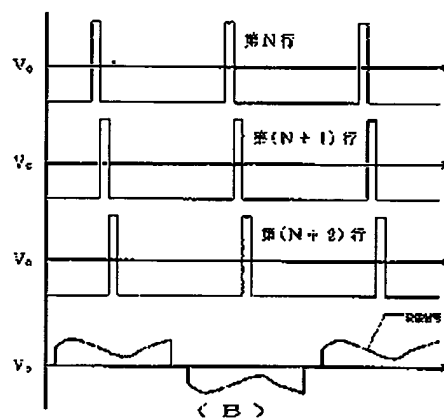
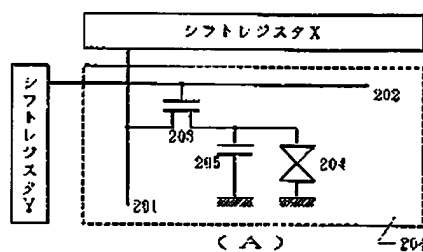
【図6】



(12)

特開平 8-204207

【図 7】



フロントページの続き

(51)Int.Cl.[°]
H01L 27/12

識別記号 片内整理番号
R

F I

技術表示箇所

H01L 29/78

617 A

627 G

特開平8-204207

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成14年4月26日(2002.4.26)

【公開番号】特開平8-204207

【公開日】平成8年8月9日(1996.8.9)

【年号】公開特許公報8-2043

【出願番号】特願平7-31563

【国際特許分類第7版】

H01L 29/786

21/336

21/20

27/12

【F I】

H01L 29/78 612 Z

21/20

27/12 R

29/78 616 A

617 A

627 G

【手続補正書】

【提出日】平成14年1月25日(2002.1.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 画素電極と画像信号線と行選択信号線とを有するアクティブマトリクス表示装置において、1個の前記画素電極に対して少なくとも3個の薄膜トランジスタが直列に接続され、前記直列接続された薄膜トランジスタのうち前記画像信号線および前記画素電極に接続されたものを除く少なくとも1個の薄膜トランジスタが、前記行選択信号線とは独立な信号を供給するゲート信号線によって制御されることを特徴とするアクティブマトリクス表示装置。

【請求項2】 画素電極と画像信号線と行選択信号線とを有するアクティブマトリクス表示装置において、1個の前記画素電極に対して少なくとも3個の薄膜トランジスタが直列に接続され、前記直列接続された薄膜トランジスタのうち前記画像信号線および前記画素電極に接続されたものを除く少なくとも2個の薄膜トランジスタが、前記行選択信号線によって制御され、前記直列接続された薄膜トランジスタのうち前記画像信号線および前記画素電極に接続されたものを除く少なくとも1個の薄膜トランジスタが、前記行選択信号線とは独立な信号を供給するゲート信号線によって制御されることを特徴とする

するアクティブマトリクス表示装置。

【請求項3】 画素電極と画像信号線と行選択信号線とを有し、1個の前記画素電極に対して少なくとも3個の薄膜トランジスタが直列に接続され、前記直列接続された薄膜トランジスタのうち前記画像信号線および前記画素電極に接続されたものを除く少なくとも1個の薄膜トランジスタが、前記行選択信号線とは独立な信号を供給するゲート信号線によって制御され、前記行選択信号線により制御される薄膜トランジスタをOFFした後、前記ゲート信号線により制御される薄膜トランジスタをOFFすることを特徴とするアクティブマトリクス表示装置。

【請求項4】 画素電極と画像信号線と行選択信号線とを有し、1個の前記画素電極に対して少なくとも3個の薄膜トランジスタが直列に接続され、前記直列接続された薄膜トランジスタのうち前記画像信号線および前記画素電極に接続されたものを除く少なくとも1個の薄膜トランジスタが、前記行選択信号線とは独立な信号を供給するゲート信号線によって制御され、前記ゲート信号線により制御される薄膜トランジスタをONした後、前記行選択信号線により制御される薄膜トランジスタをONし、かつ前記行選択信号線により制御される薄膜トランジスタをOFFした後、前記ゲート信号線により制御される薄膜トランジスタをOFFすることを特徴とするアクティブマトリクス表示装置。

【請求項5】 画素電極と画像信号線と行選択信号線とを有し、1個の前記画素電極に対して少なくとも3個の薄膜トランジスタが直列に接続され、前記直列接続され

- 補 1 -

特開平8-204207

た薄膜トランジスタのうち前記画像信号線および前記画素電極に接続されたものを除く少なくとも1個の薄膜トランジスタが、前記行選択信号線とは独立な信号を供給するゲート信号線によって制御され、前記行選択信号線により制御される薄膜トランジスタをONするときは常に、前記ゲート信号線により制御される薄膜トランジスタをONの状態にしておくことを特徴とするアクティブマトリクス表示装置。

【請求項6】 画素電極と画像信号線と行選択信号線とを有し、1個の前記画素電極に対して少なくとも3個の薄膜トランジスタが直列に接続され、前記直列接続された薄膜トランジスタのうち前記画像信号線および前記画素電極に接続されたものを除く少なくとも1個の薄膜トランジスタが、前記行選択信号線とは独立な信号を供給するゲート信号線によって制御され、前記行選択信号線にパルス印加するときは常に、前記ゲート信号線にパルス印加した状態にしておくことを特徴とするアクティブマトリクス表示装置。

【請求項7】 請求項1乃至6のいずれかにおいて、前記画素電極に接続された薄膜トランジスタのチャネル部分の両端には、LDD領域が設けられていることを特徴とするアクティブマトリクス表示装置。

【請求項8】 請求項1乃至6のいずれかにおいて、前記画素電極に接続された薄膜トランジスタのチャネル部分の両端には、オフセット領域が設けられていることを特徴とするアクティブマトリクス表示装置。

【請求項9】 請求項1乃至8のいずれかにおいて、前記薄膜トランジスタの活性層は結晶化を促進する元素によって結晶化され、前記元素を $1 \times 10^{11} \sim 1 \times 10^{19}$ 原子/cm³の濃度で含有していることを特徴とするアクティブマトリクス表示装置。

【請求項10】 複数の画素電極と画像信号線と行選択信号線とを有するアクティブマトリクス表示装置において、当該画素電極ごとに設けられた1つの島状の半導体被膜上に3つ以上のゲート電極を有し、前記半導体被膜には、前記ゲート電極をマスクとしてドーピングされたN型またはP型の領域が設けられ、前記半導体領域に設けられたN型またはP型の領域のうち、両端の領域の一

方は画素電極に、他方は画像信号線に接続され、前記ゲート電極のうち、当該画素の行選択信号線に接続された任意の1つのゲート電極に隣接する1または2のゲート電極は、当該画素の行選択信号線とは独立したゲート信号線によって制御されることを特徴とするアクティブマトリクス表示装置。

【請求項11】 複数の画像信号線と、前記画像信号線と交差する複数の行選択信号線と、前記行選択信号線と平行に配置されたゲート信号線と、前記行選択信号線と前記画像信号線に囲まれた領域に設けられた画素電極と、前記画素電極の各々に接続して設けられたスイッチング素子と、を有するアクティブマトリクス表示装置において、前記スイッチング素子が有する半導体被膜は、前記行選択信号線と少なくとも2か所で重なるとともに、前記ゲート信号線と少なくとも1か所で重なることを特徴とするアクティブマトリクス表示装置。

【請求項12】 請求項10または請求項11において、前記半導体被膜はU字型、コの字型または馬蹄型であることを特徴とするアクティブマトリクス表示装置。

【請求項13】 請求項10乃至12のいずれかにおいて、前記半導体被膜は結晶化を促進する元素によって結晶化され、前記元素を $1 \times 10^{11} \sim 1 \times 10^{19}$ 原子/cm³の濃度で含有していることを特徴とするアクティブマトリクス表示装置。

【請求項14】 請求項1乃至13のいずれかにおいて、前記ゲート信号線は前記行選択信号線と平行に、かつ前記行選択信号線の間に配置されていることを特徴とするアクティブマトリクス表示装置。

【請求項15】 請求項1乃至14のいずれかにおいて、前記ゲート信号線は当該行の画素電極とは重ならず、当該行に隣接する行の画素電極と重なることを特徴とするアクティブマトリクス表示装置。

【請求項16】 請求項1乃至15のいずれかにおいて、前記行選択信号線はアルミニウムを主成分とする材料であり、前記行選択信号線の側面および上面が陽極酸化物で被覆されていることを特徴とするアクティブマトリクス表示装置。